

# ФЕДЕРАЛЬНОЕ АГЕНТСТВО ПО ОБРАЗОВАНИЮ

Государственное образовательное учреждение высшего профессионального образования

Тихоокеанский государственный университет

УТВЕРЖДАЮ

Проректор по учебной работе

\_\_\_\_\_ С.В. Шалобанов

“ \_\_\_\_\_ ” \_\_\_\_\_ 2008 г.

ПРОГРАММА ДИСЦИПЛИНЫ  
по кафедре Вычислительной техники

## СХЕМОТЕХНИКА ЭВМ

Утверждена научно-методическим советом университета  
для направлений подготовки (специальностей) в области  
**«Информатики и вычислительной техники»**

Специальность 230101.65  
«Вычислительные машины, комплексы, системы и сети»

Хабаровск 2008 г.

Программа разработана в соответствии с требованиями государственного образовательного стандарта, предъявляемыми к минимуму содержания дисциплины и в соответствии с примерной программой дисциплины, утвержденной департаментом образовательных программ и стандартов профессионального образования с учетом особенностей региона и условий организации учебного процесса Тихоокеанского государственного технического университета.

Программу составил (и)

Доцент кафедры ВТ

Бурдинский И. Н.

Программа рассмотрена и утверждена на заседании кафедры  
протокол № №\_\_ от «\_\_» \_\_\_\_\_ 2008г.

Завкафедрой \_\_\_\_\_ «\_\_» \_\_\_\_\_ 2008г \_\_\_\_\_  
Подпись дата Ф.И.О.

Программа рассмотрена и утверждена на заседании УМК и реко-  
мендована к изданию

протокол № \_\_\_\_\_ от «\_\_» \_\_\_\_\_ 2008г

Председатель УМК \_\_\_\_\_ «\_\_» \_\_\_\_\_ 2008г \_\_\_\_\_  
Подпись дата Ф.И.О.

Директор института \_\_\_\_\_ «\_\_» \_\_\_\_\_ 2008г \_\_\_\_\_  
(декан факультета) Подпись дата Ф.И.О.

## 1. Цели и задачи дисциплины

Основной целью и задачей курса «Схемотехника ЭВМ» является получение студентами систематизированных сведений о совместной работе цифровых элементов в составе узлов и устройств ЭВМ.

Изучение дисциплины базируется на знаниях, полученных при изучении дисциплин «Вычислительная математика», «Теория автоматов», «Информатика», «Электротехника и электроника», «Организация ЭВМ и систем».

## 2. Требования к уровню освоения содержания дисциплины

В результате изучения дисциплины студент должен:

### - знать

типы выходных каскадов, цепи питания, согласование связей, элементы задержки, формирователи импульсов, элементы индикации, оптоэлектронные развязки и др.;

триггерные устройства RS, D, T, JK типа;

синхронизация в цифровых устройствах;

риски сбоя в комбинационных и последовательных схемах;

функциональные узлы комбинационного типа: DC, CD, MUX, DMX, CMP, SM, ALU;

функциональные узлы последовательностного типа: RG, CT, распределители; матричные умножители;

БИС/СБИС с программируемой структурой: программируемые логические матрицы, программируемая матричная логика, базовые матричные кристаллы, оперативно перестраиваемые FPGA;

схемотехника запоминающих устройств: статические, динамические, масочные, прожигаемые и другие типы запоминающих ячеек;

запоминающие устройства на основе БИС/СБИС; микропроцессорные комплекты БИС/СБИС;

автоматизация функционально-логического этапа проектирования цифровых узлов и устройств.

### -уметь

сформировать структуру вычислительной системы;

разрабатывать структурные, функциональные и принципиальные схемы узлов и блоков ЭВМ;

оценивать основные характеристики ЭВМ.

### -иметь опыт

применения методов повышения производительности и надежности вычислительных блоков и узлов ЭВМ;

выбора и разработки структуры и компонентов ПО ЭВМ.

### -иметь представление

о перспективах развития схемотехники ЭВМ и вычислительных систем.

### 3. Объем дисциплины и виды учебной работы

Наименование	По учебным планам (УП)	
	С максимальной трудоёмкостью	С минимальной трудоёмкостью
<b>Общая трудоёмкость дисциплины</b>		
по ГОС	200	200
по УП	204	204
<b>Изучается в семестрах</b>	6,7	6,7
<b>Вид итогового контроля по семестрам</b>		
зачет	6	6
экзамен	7	7
Курсовой проект (КП)	7	7
Курсовая работа (КР)		
<i>Расчетно-графические работы (РГР)</i>		
<i>Реферат (РФ)</i>		
<i>Домашние задания (ДЗ)</i>		
<b>Аудиторные занятия:</b>		
всего	136	136
В том числе:		
лекции (Л)	68	68
Лабораторные работы (ЛР)	51	51
Практические занятия (ПЗ)	17	17
<b>Самостоятельная работа</b>		
общий объем часов (С2)	68	68
В том числе		
на подготовку к лекциям		
на подготовку к лабораторным работам	34	34
на подготовку к практическим занятиям	17	17
на выполнение КП	17	17
на выполнение РГР		
на написание РФ		
на выполнение ДЗ		

#### 4. Содержание дисциплины

Тема	Наименование тем лекционного курса
1. Введение	Схемотехника ЭВМ: основные определения, цели и задачи курса. Краткая история развития элементной и схемотехнической базы ЭВМ. Современное состояние элементной базы.
2. Классификация ИМС и основные параметры	Классификационные разновидности ИМС. Электрические характеристики элементов: передаточная, входная, выходные. Параметры элементов.
3. Микросхемотехника логических элементов.	Схемотехника, характеристики и параметры современных интегральных систем элементов: ДТЛ, ТТЛ, ТТЛШ, ЭСЛ, ИЛИ, n-МОП, КМОП. Разновидности элементов. Типы выходных каскадов.
4. Совместная работа цифровых элементов в составе узлов и устройств.	Совместимость различных систем элементов по электрическим и временным параметрам. Согласование связей по электрическим и временным параметрам. Организация цепей питания цифровых устройств.
5. Триггерные устройства	Классификация триггерных устройств. Триггеры R S, D, T и J K типов и их разновидности. Логика функционирования, структуры триггеров, временные диаграммы работы.
6. Синхронизация в цифровых устройствах. Риски сбоя в комбинационных и последовательностных схемах.	Синхронный и асинхронный режимы обработки потоков данных. Устранение влияния логических состязаний на работу узла. Способы синхронизации. Синхронизация в параллельных, параллельно-последовательных, последовательных и конвейерных устройствах.
7. Функциональные узлы последовательностного типа - регистры	Классификация регистров. Параллельные, параллельно-последовательные, последовательно-параллельные, универсальные регистры. Схемотехника и применение.
8. Функциональные узлы последовательностного типа - счетчики	Классификация счетчиков. Организация счетчиков с последовательными и параллельными целями переносов, инкрементирующие и деинкрементирующие счетчики, предварительная установка счетчиков. Схемотехника и применение ИМС счетчиков. Распределители импульсов.
9. Функциональные узлы комбинационного типа - дешифраторы, мультиплексоры и т.д.	Классификация комбинационных схем. Дешифраторы: функция; схемотехника линейного дешифратора, прямоугольного, пирамидального. Шифраторы: функция, схемы включения. Мультиплексоры: функция, линейная и пирамидальная структуры. Демультимплексоры. Схемы подключения. Мультиплексоры-демультимплексоры: схемотехника и применение. Цифровые компараторы: логическая функция, схемотехника, последовательные и пирамидальные структуры.
10. Функциональные узлы комбинационного типа – сумматоры	Сумматоры: логическая функция, схемотехника. Многорядные сумматоры: последовательный, параллельно-последовательный, параллельный. Цепи ускоренного переноса сумматоров. Арифметико-логические устройства: функциональные возможности, структуры с цепями ускоренного переноса.
11. Матричные умножители	Разновидности ИМС матричных перемножителей. Схемотехника ИМС, применение умножителей

<p>12. БИС и СБИС с программируемой структурой.</p>	<p>Классификация ИМС с программируемой структурой (PLD). Функциональные и системные свойства PLD. Общие вопросы проектирования на основе PLD: ввод проекта, синтез проекта, моделирование, программирование.</p> <p>Программируемые матрицы логики (PAL): обобщенная структура, элементы схемотехники. Разновидности PAL: стандартные, с программируемой полярностью выходов, универсальные, эмулирующие, асинхронные.</p> <p>Программируемые логические секвенсоры (PLS). Структура секвенсоров: классические PLS, универсальные PLS.</p> <p>Макроматрицы (MACH - устройства): структура, функциональные возможности. Разновидности MACH. Средства проектирования.</p> <p>Матричные таблицы (MAX): структура и семейства. Особенности применения MAX. Средства проектирования.</p> <p>FLASH – логика: структура, функциональные возможности, особенности конфигурации.</p> <p>Гибкая логика (FLEX): структура, функциональные возможности. Элементы схемотехники FLEX. Режимы функционирования элементов. Каналы межсоединений. Каналы ввода-вывода. Средства проектирования.</p> <p>Программируемые пользователем вентиляемые матрицы (FPGA): структура, функциональные возможности. Блоки ввода-вывода, логические блоки, программируемые межсоединения. Средства проектирования.</p> <p>Перспективы развития PLD.</p> <p>Базовые матричные кристаллы: классификация, разновидности типов логики, элементы схемотехники, типовые библиотеки функциональных ячеек.</p>
<p>13. Схемотехника запоминающих устройств.</p>	<p>Классификация запоминающих устройств.</p> <p>Оперативные запоминающие устройства статистического типа: ТТЛШ, n-МОП, КМОП. Структура, элементы схемотехники, параметры.</p> <p>ОЗУ динамического типа. Структура, схемотехника, параметры.</p> <p>ПЗУ: разновидности, структуры, схемотехника, параметры.</p> <p>ППЗУ: разновидности, структуры, схемотехника, параметры.</p> <p>Перепрограммируемые ПЗУ с УФ стиранием и электрической перезаписью: структуры, схемотехника, параметры.</p> <p>FLASH: структуры, элементы схемотехники, параметры. Организация подсистем ЗУ: общие вопросы; особенности применения ДОЗУ, ППЗУ, FLASH.</p>
<p>14. Автоматизация функционально-логического проектирования цифровых узлов и устройств.</p>	<p>Обзор методов и средств автоматизации проектирования цифровых узлов. Методика логического проектирования цифровых устройств с применением средств автоматизации. Сопоставление возможностей различных САПР.</p> <p>Перспективы развития элементной базы ЭВМ.</p>

## Разделы дисциплины и виды занятий и работ

№	Раздел дисциплины	Л	ЛР	ПЗ	КП	РГР	ДЗ	РФ	С2
1	2	3	4	5	6	7	8	9	10
1.	Введение	*			*				
2.	Классификация ИМС и основные параметры	*	*	*	*				
3.	Микросхемотехника логических элементов	*	*	*	*				
4.	Совместная работа цифровых элементов в составе узлов и устройств	*	*	*	*				
5.	Триггерные устройства	*	*	*	*				
6.	Синхронизация в цифровых устройствах. Риски сбоя в комбинационных и последовательностных схемах	*	*	*	*				
7.	Функциональные узлы последовательстного типа – регистры	*	*	*	*				
8.	Функциональные узлы последовательстного типа – счетчики	*	*	*	*				
9.	Функциональные узлы комбинационного типа – дешифраторы, мультиплексоры и т.д.	*	*	*	*				
10.	Функциональные узлы комбинационного типа – сумматоры	*	*	*	*				
11.	Матричные умножители.	*	*	*	*				
12.	БИС и СБИС с программируемой структурой.	*	*	*	*		*		*
13.	Схемотехника запоминающих устройств.	*	*	*	*				
14.	Автоматизация функционально-логического проектирования цифровых узлов и устройств.	*	*	*	*		*		*

## 5. Лабораторный практикум

### 5.1. Элемент Шеффера с простым инвертором

*Задание:* ознакомиться с логикой работы, изучить принцип действия схемы, освоить методику определения основных характеристик, статических параметров элемента.

*Исполнение:* собрать ДТЛ элемент согласно заданным параметрам (кол-во входов и диодов смещения), рассчитать параметры резисторов используемых в схеме, снять статические экспериментальные характеристики.

*Оснастка:* Транзистор КТ315Б, 5 диодов КД521Б, резисторы, мультиметр, источник питания, осциллограф.

*Оценка:* Отчет должен содержать: заданные параметры, вольт-амперные характеристики (ВАХ) диода и транзистора, расчет сопротивлений, характеристики работы схемы в статическом и динамическом режимах.

*Время выполнения работы:* 4 часа.

### 5.2. Элемент Шеффера со сложным инвертором.

*Задание:* ознакомиться с логикой работы, изучить принцип действия схемы, освоить методику определения основных характеристик, статических параметров элемента

*Исполнение:* рассчитать сопротивления резисторов, собрать ДТЛ элемент, спаять схему и снять теоретические характеристики в Electronic Workbench, снять статические экспериментальные характеристики и динамические характеристики.

*Оснастка:* 4 транзистора КТ315Б, 7 диодов КД521Б, резисторы, мультиметр, источник питания, осциллограф.

*Оценка:* Отчет должен содержать: заданные параметры, расчет сопротивлений, характеристики работы схемы в статическом и динамическом режимах.

*Время выполнения работы:* 4 часа.

### 5.3. Синхронные двухступенчатые триггеры

*Задание:* изучение различных типов триггеров, овладение методом логического проектирования структуры синхронных двухступенчатых триггеров.

*Исполнение:* собрать синхронный триггер согласно заданному варианту, произвести исследование правильности его работы.

*Оснастка:* Учебная микро-ЭВМ УМПК-80М.

*Оценка:* Отчет должен содержать: исходные данные - таблицу переходов синтезируемого триггера, таблицу состояний триггера - таблицу функций возбуждения синтезируемого триггера, карты Карно для функций  $\varphi_1$ ,  $\varphi_2$ ; схему синхронного двухступенчатого триггера, временную диаграмму работы синхронного двухступенчатого триггера.

*Время выполнения работы:* 4 часа.



#### **5.4. Синтез статико-динамических триггеров**

*Задание:* изучение структуры, особенностей и способов синтеза статико-динамических триггеров.

*Исполнение:* согласно варианту, синтезировать статико-динамический триггер, произвести анализ его работы в программных продуктах Xilinx ISE и ModelSim.

*Оснастка:* программный комплекс Xilinx ISE, симулятор ModelSim, лабораторный стенд ML40x, осциллограф.

*Оценка:* Отчет должен содержать: исходные данные - таблицу переходов синтезируемого триггера, таблицу состояний триггера - таблицу функций возбуждения синтезируемого триггера, карты Карно для функций  $\varphi_1$ ,  $\varphi_2$ ; схему статико-динамического триггера, временную диаграмму работы статико-динамического триггера.

*Время выполнения работы:* 2 часа.

#### **5.5. Формирователь последовательности импульсов на основе мультиплексора**

*Задание:* изучение принципа работы мультиплексора, приобретение практических навыков по синтезу комбинационных схем на основе мультиплексора.

*Исполнение:* согласно варианту, спроектировать схему, формирующую заданную последовательность импульсов на основе мультиплексора и схемы с параллельным переносом, произвести анализ ее работы в программных продуктах Xilinx ISE и ModelSim.

*Оснастка:* программный комплекс Xilinx ISE, симулятор ModelSim, лабораторный стенд ML40x, осциллограф.

*Оценка:* Отчет должен содержать: таблицу истинности синтезируемой функции, схему формирователя последовательности импульсов, временную диаграмму работы формирователя импульсов.

*Время выполнения работы:* 3 часа.

#### **5.6. Синтез счетчика с параллельным переносом**

*Задание:* изучение структуры, освоение методов синтеза и приобретение навыков проектирования, сборки, отладки и исследования счетчиков.

*Исполнение:* синтезировать схему синхронного счетчика с параллельным переносом, исходя из следующих условий:

1. Модуль счета – 12
2. Исключенные состояния - 4, 5, 6, 7.

Произвести анализ ее работы в программных продуктах Xilinx ISE и ModelSim

*Оснастка:* программный комплекс Xilinx ISE, симулятор ModelSim, лабораторный стенд ML40x, осциллограф.

*Оценка:* Отчет должен содержать: таблицу переходов счетчика с параллельным переносом на JK-триггерах, схему параллельного счетчика, временную диаграмму работы параллельного счетчика.

*Время выполнения работы:* 8 часа.

### **5.7. Шифратор. Дешифратор**

*Задание:* Изучение принципа работы шифраторов и дешифраторов, их структуры, приобретение практических навыков по синтезу шифраторов и дешифраторов.

*Исполнение:* спроектировать схемы четырехвходового дешифратора и восьмивходового приоритетного шифратора, произвести анализ их работы в программном продукте Xilinx ISE.

*Оснастка:* программный комплекс Xilinx ISE, лабораторный стенд ML40x, осциллограф.

*Оценка:* Отчет должен содержать: таблицу переходов дешифратора 4→16, функции дешифратора, схему дешифратора 4→16, временную диаграмму работы дешифратора 4→16, таблицу переходов шифратора 8→3, функции шифратора, схему приоритетного шифратора, временную диаграмму приоритетного шифратора.

*Время выполнения работы:* 8 часа.

### **5.8. Сумматор**

*Задание:* изучение принципа работы сумматоров, их структуры, приобретение практических навыков по синтезу сумматоров.

*Исполнение:* спроектировать схему параллельного сумматора с параллельным переносом, произвести анализ ее работы в программном продукте Xilinx ISE.

*Оснастка:* программный комплекс Xilinx ISE, лабораторный стенд ML40x, осциллограф.

*Оценка:* Отчет должен содержать: таблицу переходов одноразрядного сумматора, Функции сумматора, схема одноразрядного сумматора, схему параллельного сумматора с параллельным переносом, временную диаграмму работы сумматора.

*Время выполнения работы:* 8 часа.

### **5.9. Фазочастотный демодулятор**

*Задание:* Изучение принципа работы фазочастотного демодулятора, его структуры, приобретение практических навыков по синтезу модуляторов.

*Исполнение:* Составить алгоритм для определения четверти входного сигнала и соответственно символ, кодируемый данным сигналом.

*Оснастка:* программный комплекс Xilinx ISE, лабораторный стенд ML40x, осциллограф.

*Оценка:* Отчет должен содержать: алгоритм вычисления четверти, алгоритм работы устройства, блок-схему алгоритма, программу работы устройства на языке VHDL.

*Время выполнения работы:* 10 часа.

## Лабораторные занятия и их взаимосвязь с содержанием лекционного курса

№ п/п	№ раздела	Наименование лабораторной работы
1.	2,3,4	Элемент Шеффера с простым инвертором
2.	2,3,4	Элемент Шеффера со сложным инвертором
3.	2,3,4,5,6	Синхронные двухступенчатые триггеры
4.	2,3,4,5,6	Синтез статико-динамических триггеров
5.	2,3,4,5,6,7,9	Формирователь последовательности импульсов на основе мультиплексора
6.	2,3,4,5,6,7,8,9	Синтез счетчика с параллельным переносом
7.	2,3,4,5,6,7,8,9	Шифратор. Дешифратор
8.	2,3,4,5,6,7,8,9,10,11	Сумматор
9.	2,3,4,5,6,7,8,9,10,11,12,14	Фазочастотный демодулятор

## 6. Практические занятия

### 6.1. Синтез и моделирование электронных цифровых схем

*Цель работы:* изучение интерфейса программы Xilinx ISE и принципов синтеза и моделирования электронных цифровых схем на логических и триггерных элементах. Получение навыков отладки и анализа цифровых схем.

*Исполнение:* собрать схемы в Xilinx ISE асинхронного (последовательного) и синхронного (параллельного) счетчиков на D-триггерах, смоделировать их работу, построить временные диаграммы и определить все граничные параметры (максимальная тактовая частота).

*Оснастка:* программный комплекс Xilinx ISE.

*Время выполнения работы:* 4 часа.

### 6.2. Синтез моделей устройств на языке VHDL

*Цель работы:* освоение методов структурного синтеза моделей устройств на языке VHDL, освоение методов комбинированного синтеза.

*Исполнение:* собрать синхронный четырехразрядный счетчик на D-триггерах двумя способами. Первый – комбинированный счетчик с двумя разрядами на VHDL, 2 разрядами схемотехнически. Второй полностью на языке VHDL. Сравнить между собой граничные параметры этих устройств (минимальная задержка данных, максимальная тактовая частота).

*Оснастка:* программный комплекс Xilinx ISE.

*Время выполнения работы:* 4 часа.

### 6.3. Отладка и моделирование работы устройства на ПЛИС

*Цель работы:* освоение методов структурного синтеза моделей устройств на языке VHDL, отладка работы устройства на ПЛИС.

*Исполнение:* спроектировать синхронный двенадцатиразрядный счетчик-делитель с изменяемым коэффициентом деления на 3-счетчиках-делителях и модуле управления частотой (DCM). «Залить» готовый счетчик в ПЛИС типа FPGA семейства Virtex4.

*Оснастка:* программный комплекс Xilinx ISE, лабораторный стенд ML40x, осциллограф.

*Время выполнения работы:* 4 часа.

### 6.4. Контроллер обработки прерываний

*Цель работы:* освоение методов структурного синтеза узлов ЭВМ, программный обмен и обмен по прерываниям.

*Оснастка:* программный комплекс Xilinx ISE, лабораторный стенд ML40x, осциллограф, генератор прямоугольных импульсов.

*Время выполнения работы:* 5 часа.

## Практические занятия и их взаимосвязь с содержанием лекционного курса

№ п/п	№ раздела	Наименование практического занятия
1.	2,3,4,5,6	Синтез и моделирование электронных цифровых схем
2.	2,3,4,5,6,7,8,9	Синтез моделей устройств на языке VHDL
3.	2,3,4,5,6,7,8,9,10	Отладка и моделирование работы устройства на ПЛИС
4.	2,3,4,5,6,7,8,9,10,11,12,14	Контроллер обработки прерываний

## 7. Курсовое проектирование

Завершающим этапом обучения по курсу «Схемотехника ЭВМ» является курсовое проектирование, которое должно способствовать закреплению, углублению и обобщению полученных знаний, а также системному решению конкретной инженерной задачи функционального и логического проектирования цифровых устройств.

Выполнение курсового проекта должно способствовать получению навыков в практическом применении основных положений Единой системы конструкторской документации (ЕСКД), более глубокому пониманию основных терминов и понятий, используемых при проектировании и эксплуатации ЭВМ в автоматизированных системах обработки информации и управления.

### Примерные варианты курсовых проектов.

1. Разработать 12-ти разрядный регистр сдвига вправо на один разряд с дешифратором на выходе. Ввод информации в последовательном и в параллельном кодах через 4-х контактный разъем.
2. Разработать реверсивный регистр сдвига с установкой в ноль. Ввод информации в параллельном и последовательном кодах. При вводе информации в последовательном коде предусмотреть контроль по модулю 2. Число разрядов – 17, в том числе один контрольный.
3. Разработать двоичный синхронный счетчик с групповым переносом на 32 разряда. Предусмотреть установку в нуль. Вывод на 8-ми контактный разъем.
4. Разработать двоично-десятичный счетчик в коде 8-4-2-1. Ввод информации в число-импульсном коде. Предусмотреть установку в нуль. Размерность 4 декады. Вывод на разъем в десятичном коде, подекадно.
5. Разработать двоично-десятичный счетчик в коде 5-2-1-1, размерность 4 декады. Ввод информации в число-импульсном коде. Предусмотреть установку в нуль. Вывод на разъем в десятичном коде, подекадно.
6. Разработать двоично-десятичный счетчик в коде 4-2-2-1, размерность 4 декады. Ввод информации в число-импульсном коде. Предусмотреть установку в нуль. Вывод на разъем в десятичном коде, подекадно.
7. Разработать двоично-десятичный счетчик в коде 3-3-2-1, размерность 5 декад. Ввод информации в число-импульсном коде. Предусмотреть установку в нуль. Вывод на разъем в десятичном коде, подекадно.
8. Разработать 16-ти разрядный регистр сдвига вправо на 2 разряда, предусмотреть ввод информации в параллельном коде. Выдача данных через 4-х контактный разъем.

9. Разработать реверсивный двоичный счетчик (N=31) с параллельной загрузкой информации. Выдача информации через разъем побайтно. 32 разряд – контрольный «по чётности».
10. Разработать 24-х разрядный регистр сдвига влево на 2 разряда, с параллельным приемом информации. Предусмотреть контроль «по нечётности» при выдаче информации в параллельном коде.
11. Разработать 16-ти разрядный регистр сдвига вправо на 2 разряда, с вводом информации в параллельном коде через 4-х контактный разъем. На выходе регистра – дешифратор.
12. Разработать двоичный реверсивный счетчик (N=16), с установкой в нуль, ввод информации в параллельном коде через 4-х контактный разъем. На выходе счетчика – дешифратор.
13. Разработать двоичный 36-ти разрядный сумматор параллельного действия. Проверить правильность операции суммирования на основе контроля по модулю 2. Сумму выдать на 4-х контактный разъем.
14. Разработать двоичный вычитающий счетчик с групповым переносом (N=32). Предусмотреть ввод информации в последовательно-параллельном коде через 8-ми контактный разъем.
15. Разработать параллельный сумматор в двоично-десятичном коде 8-4-2--1. Размерность – 4 декады. Вывод подекадно через 4-х контактный разъем.
16. Разработать параллельный вычитатель в двоично-десятичном коде 8-4--2-1. Размерность – 4 декады. Выдача результата через 8-ми контактный разъем.
17. Разработать преобразователь параллельного 32-х разрядного двоичного кода в последовательность параллельных байтов для передачи по каналу связи. Каждый байт дополняется контрольным разрядом «по нечетности».
18. По каналу связи передается 9-ти разрядный параллельный двоичный код, причем 9-й разряд является контрольным «по нечетности». Принять последовательность байтов в 32-х разрядный регистр. Сигнализировать о наличии или отсутствии ошибки.
19. Разработать устройство для ввода данных с десятичной клавиатуры в регистр в параллельном коде 8-4-2-1. Размер регистра – 5 декад. Вывод через 4-х контактный разъем.
20. Разработать устройство для ввода данных с десятичной клавиатуры в регистр в параллельном двоично-десятичном коде 5-2-1-1. Размер регистра – 4 декады. Вывод через 8-ми контактный разъем.
21. Разработать устройство для ввода данных с десятичной клавиатуры в регистр в параллельном двоично-десятичном коде 4-2-2-1. Размер регистра – 5 декад. Вывод через 4-х контактный разъем.
22. Разработать устройство для ввода данных с десятичной клавиатуры в регистр в параллельном двоично-десятичном коде 3-3-2-1. Размер регистра – 6 декад. Вывод через 8-ми контактный разъем.

23. Разработать параллельный сумматор в двоично-десятичном коде 8-4-2--1. Размерность – 4 декады. Выдача результата на разъем в десятичном коде, подекадно.
24. Разработать реверсивный 24-х разрядный регистр сдвига. Ввод информации в последовательно-параллельном коде через 4-х контактный разъем. Выдача информации в последовательном «старт-стопном» коде с контролем «по четности».
25. Разработать двоичный 16-ти разрядный вычитатель параллельного действия с последовательным переносом. Проверка правильности выполнения операции вычитания с помощью контроля по модулю 2.
26. Разработать двоичный суммирующий счетчик с групповым переносом (N=40). На входе – число-импульсный код. Ввод информации в последовательно-параллельном коде через 8-ми контактный разъем.
27. Разработать параллельный вычитатель в двоично-десятичном коде 8-4--2-1. Размерность – 4 декады. Выдача результата на разъем в десятичном коде, подекадно.
28. Разработать специализированный блок вычисления функции  $tg(x)$  в двоично-десятичном коде 8-4-2-1. Размерность – 4 декады. Выдача результата на разъем в десятичном коде, подекадно.
29. Разработать специализированный блок вычисления функции  $tg(x)$  в двоично-десятичном коде 4-2-2-1. Размерность – 4 декады. Выдача результата на разъем в десятичном коде, подекадно.
30. Разработать специализированный блок вычисления функции  $ctg(x)$  в двоично-десятичном коде 8-4-2-1. Размерность – 4 декады. Выдача результата на разъем в десятичном коде, подекадно.
31. Разработать специализированный блок вычисления функции  $ctg(x)$  в двоично-десятичном коде 4-2-2-1. Размерность – 4 декады. Выдача результата на разъем в десятичном коде, подекадно.
32. Разработать специализированный блок вычисления функции  $log(x)$  в двоично-десятичном коде 8-4-2-1. Размерность – 4 декады. Выдача результата на разъем в десятичном коде, подекадно.
33. Разработать специализированный блок вычисления функции  $log(x)$  в двоично-десятичном коде 4-2-2-1. Размерность – 4 декады. Выдача результата на разъем в десятичном коде, подекадно.
34. Разработать специализированный блок вычисления функции  $exp(x)$  в двоично-десятичном коде 8-4-2-1. Размерность – 4 декады. Выдача результата на разъем в десятичном коде, подекадно.
35. Разработать специализированный блок вычисления функции  $exp(x)$  в двоично-десятичном коде 4-2-2-1. Размерность – 4 декады. Выдача результата на разъем в десятичном коде, подекадно.
36. Разработать специализированный блок вычисления функции  $sin(x)$  в двоично-десятичном коде 3-3-2-1. Размерность – 4 декады. Выдача результата на разъем в десятичном коде, подекадно.

## 8. Самостоятельная работа

Состоит

- в подготовке к лекциям (изучения теории) и в изучении вопросов вынесенных, на самостоятельное обучение;
- подготовке к лабораторным работам;
- подготовке к практическим занятиям изучение и проработка лекционного курса необходимого для решения задач.

## 9. Контроль знаний студентов

### 9.1. Тематика вопросов входного контроля

Студент должен знать:

- Теоретические основы построения ЭВМ (системы счисления, арифметические и логические операции, представление информации в ЭВМ, кодирование информации);
- Алгоритмизацию и программирование (основы алгоритмизации);
- Электронику и электротехнику (линейные и нелинейные электрические цепи, цифровая техника);
- Вычислительную математику.

*Список вопросов входного контроля:*

1. Опишите свойства источника напряжения.
2. Опишите свойства источника тока.
3. Какими параметрами характеризуется переменный ток.
4. Как определить действующее значение переменного тока.
5. Сформулируйте правила Кирхгофа.
6. Начертите схему делителя напряжения и приведите выражение для  $U_{\text{вых}}=F(R_1, R_2, U_{\text{вх}})$ .
7. Начертите схему делителя напряжения с нагрузкой (активной) и приведите выражение для  $U_{\text{нагрузки}}=F(R_1, R_2, R_{\text{нагр}}, U_{\text{вх}})$ .
8. Определите сопротивление двух резисторов  $R_1$  и  $R_2$ , включенных последовательно.
9. Определите сопротивление двух резисторов  $R_1$  и  $R_2$ , включенных параллельно.
10. Определите емкость двух конденсаторов, включенных последовательно.
11. Определите емкость двух конденсаторов, включенных параллельно.
12. Чему равно  $X(C)$  конденсатора  $C$ .
13. Чему равно  $X(L)$  катушки индуктивности  $L$ .
14. Приведите схему, математическое описание и временные диаграммы работы дифференцирующей RC цепи.
15. Приведите схему, математическое описание и временные диаграммы работы интегрирующей RC цепи.
16. Приведите ВАХ полупроводникового диода и отметьте на ней характерные участки.



17. Перечислите особенности характеристик диода Шоттки.
18. Приведите ВАХ стабилитрона и отметьте характерные участки.
19. Приведите схему и основные соотношения для диодного ограничителя сигнала.
20. Приведите схему и основные соотношения для усилительного каскада с ОЭ.
21. Приведите схему и основные соотношения для усилительного каскада с ОК.
22. Приведите схему и основные соотношения для усилительного каскада с ОБ.
23. Какими основными параметрами характеризуются свойства транзистора.
24. Приведите схему и основные соотношения для насыщенного транзистора.
25. Приведите схему и основные соотношения для ненасыщенного транзистора.
26. Приведите структуру, схему включения, обозначение условное графическое и описание работы полевого транзистора с индуцированным каналом Р типа.
27. Приведите структуру, схему включения, обозначение условное графическое и описание работы полевого транзистора с индуцированным каналом N типа.
28. Приведите структуру, схему включения, обозначение условное графическое и описание работы полевого транзистора с встроенным каналом Р типа.
29. Приведите структуру, схему включения, обозначение условное графическое и описание работы полевого транзистора с встроенным каналом N типа.
30. Приведите структуру, схему включения, обозначение условное графическое и описание работы полевого транзистора с управляющим переходом и встроенным каналом N типа.
31. Приведите структуру, схему включения, обозначение условное графическое и описание работы полевого транзистора с управляющим переходом и встроенным каналом Р типа..
32. Приведите схемы и основные соотношения усилительного каскада с ОИ.
33. Приведите схемы и основные соотношения усилительного каскада с ОЗ.
34. Приведите схемы и основные соотношения усилительного каскада с ОС.
35. Приведите схему, расчетные соотношения и временные диаграммы для автоколебательного мультивибратора.
36. Приведите схему, расчетные соотношения и временные диаграммы для ждущего мультивибратора.
37. Приведите схему, расчетные соотношения и временные диаграммы для триггера Шмидта.
38. Опишите аксиомы алгебры логики:
  - а) коммутативный (переместительный)
  - б) ассоциативный (сочетательный)
  - в) дистрибутивный (распределительный)
  - г) законы отрицания
  - д) законы двойственности (теоремы Де Моргана)
  - е) законы двойного отрицания
  - ж) закон поглощения
  - з) операция склеивания

- и) операция обобщенного склеивания
40. Приведите таблицу истинности операции:
- а) И-НЕ
  - б) ИЛИ-НЕ
  - в) сложения по модулю
  - г) исключительное ИЛИ
  - д) логическая равнозначность
  - е) логическая неравнозначность
41. Определите понятия « позиционная система счисления ».
42. Принцип и законы двойственности функций алгебры логики
43. Определите понятие « ТЕРМ ».
44. Определите понятие «СДНФ ».
45. Определите понятие «СКНФ ».
46. Что такое совершенно нормальная форма в базисе И-НЕ
47. Что такое совершенно нормальная форма в базисе ИЛИ-НЕ
48. Что такое конъюнктивный терм
49. Что такое дизъюнктивный терм
50. Определите понятия « минимальная нормальная форма ».
51. Карты Карно. Минимизация функций с помощью карт Карно.
52. Автомат Мили. Определение и структура.
53. Автомат Мура. Определение и структура.
54. Определение понятия « кодирование состояний автомата ».
55. Какие формы представления чисел вы знаете
56. Выполните сложение двух произвольных чисел в двоичном коде:
- а) в прямом с фиксированной запятой
  - б) в дополнительном с фиксированной запятой
  - в) в прямом с плавающей запятой
  - г) в дополнительном с фиксированной запятой

***Кратко опишите каждый этап выполнения операции***

57. Выполните вычитание двух произвольных чисел в двоичном коде:
- а) в прямом с фиксированной запятой
  - б) в дополнительном с фиксированной запятой
  - в) в прямом с плавающей запятой
  - г) в дополнительном с фиксированной запятой
58. Выполните умножение двух произвольных двоичных чисел
59. Выполните деление двух произвольных двоичных чисел
60. Выполните сложение двух произвольных двоичных чисел
61. Выполните вычитание двух произвольных двоичных чисел

## 9.2. Текущий контроль знаний студентов

Текущий контроль осуществляется на лабораторных и практических занятиях путем решения задач, ответов на контрольные вопросы, защите лабораторных работ. Тематика практических и лабораторных работ приведена выше.

*Список вопросов текущего контроля:*

1. Приведите основные параметры базовых логических элементов серий К155, К133.

2. Приведите основные параметры базовых логических элементов серий К130, К131.

3. Приведите основные параметры базовых логических элементов серий К134, КР134.

4. Приведите основные параметры базовых логических элементов серии К555.

5. Приведите основные параметры базовых логических элементов серий К531, К530.

6. Приведите основные параметры базовых логических элементов серии К1533.

7. Приведите основные параметры базовых логических элементов серии К1530.

8. Приведите основные параметры базовых логических элементов серии К1531.

9. Приведите основные параметры базовых логических элементов серий К500, К100.

10. Приведите основные параметры базовых логических элементов серий К176, К164.

11. Приведите основные параметры базовых логических элементов серий К561, К564.

12. Приведите основные параметры базовых логических элементов серии К1561.

13. Приведите основные параметры базовых логических элементов серии К1564.

14. Приведите принципиальную схему базового логического элемента микромощной ТТЛ.

15. Приведите принципиальную схему базового логического элемента стандартной ТТЛ.

16. Приведите принципиальную схему базового логического элемента ТТЛ повышенного быстродействия.

17. Приведите принципиальную схему базового логического элемента микромощной ТТЛШ.

18. Приведите принципиальную схему базового логического элемента ТТЛШ повышенного быстродействия.

19. Приведите принципиальную схему базового логического элемента улучшенной микромощной ТТЛШ.
20. Приведите принципиальную схему базового логического элемента улучшенной ТТЛШ.
21. Приведите принципиальную схему базового логического элемента улучшенной ТТЛШ высокого быстродействия.
22. Приведите принципиальную схему базового логического элемента ИЛ.
23. Приведите принципиальную схему базового логического элемента ЭСЛ.
24. Приведите принципиальную схему базового логического элемента ЭЭСЛ.
25. Приведите принципиальную схему базового логического элемента МЭСЛ.
26. Приведите принципиальную схему базового логического элемента Р-МОП.
27. Приведите принципиальную схему базового логического элемента N-МОП.
28. Приведите принципиальную схему базового логического элемента КМОП.
29. Дешифраторы. Синтез, схемотехника, схемы включения.
30. Мультиплексоры. Схемотехника, схемы включения.
31. Схемы сравнения кодов и их применение.
32. Преобразователи кодов.
33. Сумматоры. Синтез и схемотехника.
34. Параллельные сумматоры с последовательным переносом.
35. Параллельные сумматоры с параллельным переносом. Синтез цепей ускоренного переноса.
36. Параллельные регистры.
37. Последовательные регистры.
38. Параллельно-последовательные регистры.
39. Последовательно-параллельные регистры.
40. Универсальные регистры.
41. Счетчики с последовательным переносом.
42. Счетчики с параллельным переносом.
43. Счетчики с предустановкой и параллельным переносом.
44. Реверсивные счетчики.
45. Синтез счетчиков.
46. Схемотехника запоминающих ячеек ОЗУ.
47. Структура ИМС ОЗУ.
48. Структура ИМС ПЗУ.
49. Схемотехника запоминающих ячеек ПЗУ и ППЗУ.
50. ПЗУ с YQ стиранием
51. ПЗУ с электрическим стиранием
52. FLASH – структуры и ПЗУ на их основе.
53. Запоминающие устройства динамического типа.
54. Организация модулей статических ОЗУ.
55. Организация модулей динамических ОЗУ.

56. Организация модулей ПЗУ.
57. ИМС усилителей-формирователей.
58. Буферные и согласующие ИМС.
59. Микросхемы генераторов и ждущих мультивибраторов.
60. ИМС преобразователей уровней.
61. Микросхемы систем индикации.
62. Классификация ИМС с программируемой структурой.
63. Программируемые матрицы логики классической (стандартной) структуры (PAL)
  64. Универсальные PAL
  65. Программируемые логические секвенсоры (PLS)
  66. Макроматрицы (MACH - устройства).
  67. Матричные таблицы (MAX - устройства)
  68. FLASH – логика.
  69. Гибкая логика FLEX.
  70. Программируемые пользователем вентиляемые матрицы (FPGA).

### **9.3. Выходной контроль знаний студентов**

Дисциплина завершается зачетом, защитой курсового проекта и экзаменом. На экзамене проверяется степень усвоения студентами основных понятий дисциплины, их взаимосвязи, знание основ современных технологий проектирования и построения узлов и блоков ЭВМ.

#### *Примерный состав экзаменационных вопросов:*

1. базовый элемент ТТЛ логики. Передаточная, входная и выходная характеристики. 4 схемы включения.
2. генераторы на основе логических элементов. Схемы, временные диаграммы работы, объяснение принципов работы.
3. элементы задержки и их применение.
4. ждущий и перезапускаемый одновибратор на D-триггере. Схемы, временные диаграммы.
5. сопряжение ТТЛ и КМОП.
6. передача сигналов, помехи в сигнальных линиях и борьба с ними.
7. последовательный и параллельный счетчики на JK-триггерах.
8. последовательный и параллельный счетчики на D-триггерах.
9. последовательный и параллельный счетчики на T-триггерах.
10. последовательный и параллельный счетчики на RS-триггерах.
11. компараторы.
12. общий принцип обращения к внешнему устройству, цикл чтения, цикл записи.
13. цикл чтение-пауза-запись, цикл только адресация, цикл блочной передачи.
14. двоичные дешифраторы.

15. приоритетные и двоичные шифраторы.
16. статико-динамический триггер.
17. мультиплексор и демультимплексор.
18. сумматоры. Одноразрядный сумматор, последовательный сумматор, параллельный сумматор с последовательным переносом.
19. сумматоры. Параллельный сумматор с параллельным переносом, сумматоры групповой структуры.
20. последовательные регистры.
21. параллельные регистры.
22. универсальные регистры.
23. основные сведения о счетчиках. Двоичные счетчики.
24. двоично-кодированные счетчики с произвольным модулем.
25. счетчики с недвоичным кодированием.
26. основные структуры запоминающих устройств.
27. запоминающие устройства. Классификация и основные параметры.
28. запоминающие устройства типа ROM, PROM, EPROM, EEPROM.
29. флэш-память.
30. статические запоминающие устройства.
31. динамические запоминающие устройства. Базовая структура, временные диаграммы.
32. динамические запоминающие устройства повышенного быстродействия. FPM, EDORAM, BEDORAM, MDRAM.
33. динамические запоминающие устройства повышенного быстродействия. SDRAM, RDRAM, DRDRAM, CDRAM.
34. циклы регенерации динамических запоминающих устройств.
35. FPGA.
36. CPLD.
37. программируемые логические матрицы и программируемая матричная логика.
38. программируемые логические матрицы и программируемая матричная логика. Функциональные разновидности.
39. СБИС программируемой логики смешанной архитектуры.
40. СБИС программируемой логики типа «система на кристалле».
41. контроллеры прямого доступа к памяти.
42. контроллер прерываний. Общий принцип работы, временные диаграммы.
43. RS-триггер.
44. D-триггер.
45. JK-триггер.
46. T-триггер.
47. преобразователи кодов.
48. реверсивные счетчики.

## 10. Учебно-методическое обеспечение дисциплины

### Основная литература

1. Угрюмов Е. П. Цифровая схемотехника / Е. П. Угрюмов. – СПб. : БХВ–Петербург, 2001. – 528 с.: ил. (Сх-2)

### Дополнительная литература

2. Шило В. Л. Популярные цифровые микросхемы: справочник / В. Л. Шило. – М. : Радио и связь, 1987. – 352 с. (БФ-17)
3. Сташин В. В. Проектирование цифровых устройств на однокристалльных микроконтроллерах / В. В. Сташин, А. В. Урусов, О. Ф. Мологонцева. – М. : Энергоатомиздат, 1990. – 224 с. (З-73, Пр-10)
4. Пухальский Г. И. Проектирование дискретных устройств на интегральных микросхемах: Справочник / Г. И. Пухальский, Т. Я. Новосельцева. – М. : Радио и связь, 1990. – 304 с. (З-71, С-50)
5. Воробьёв Е. П. Интегральные микросхемы производства СССР и их зарубежные аналоги: Справочник / Е. П. Воробьёв, К. В. Сенин. – М. : Радио и связь, 1990. – 352 с. (З-52)
6. Комолов Д. А. Системы автоматизированного проектирования фирмы Altera MAX+plus II и Quartus II. Краткое описание и самоучитель / Д. А. Комолов, Р. А. Мьяльк, А. А. Зобенко, А. С. Филиппов. – М. : РадиоСофт, 2002. – 352 с. (Р-120)
7. Антонов А. П. Язык описания цифровых устройств AlteraHDL. Практический курс / А. П. Антонов. – М. : РадиоСофт, 2002. – 224 с. (Р-133)
8. Шевкопляс Б. В. Микропроцессорные структуры. Инженерные решения: Справочник / Б. В. Шевкопляс. – М. : Радио и связь, 1990. – 512 с. (БФ-18)
9. Преснухин Л. Н. Расчёт элементов цифровых устройств / Л. Н. Преснухин, Н. В. Воробьёв, А. А. Шишкевич и др.; под ред. Л. Н. Преснухина. – М. : Высшая школа, 1991. – 526 с. (БФ-22)
10. Полупроводниковые БИС запоминающих устройств: Справочник / В. В. Баранов, Н. В. Бекин, А. Ю. Гордонов и др.; под ред. А. Ю. Гордонова и Ю. Н. Дьякова. – М. : Радио и связь, 1987. – 360 с. (С-20)
11. Нефедов А. В. Зарубежные интегральные микросхемы для промышленной аппаратуры: Справочник / А. В. Нефедов, А. М. Савченко, Ю. Ф. Феокистов; под ред. Ю. Ф. Широкова. – М. : Энергоатомиздат, 1989. – 288 с. (С-39)
12. Петровский И. И. Логические ИС КР 1533, КР 1554: Справочник: в 2 частях / И. И. Петровский, А. В. Прибыльский. – М. : Бином, 1993. – Ч. 1. – 253 с. (С-70)
13. Петровский И. И. Логические ИС КР 1533, КР 1554: Справочник: в 2 частях / И. И. Петровский, А. В. Прибыльский. – М. : Бином, 1993. – Ч. 2. – 496 с. (С-70)

14. Большие интегральные схемы запоминающих устройств: Справочник / А. Ю. Гордонов, В. В. Бекин, В. В. Циркин и др.; под ред. А. Ю. Гордонова и Ю. Н. Дьякова. – М. : Радио и связь, 1990. – 288 с. (З-11)
15. Пучков Н. А. Зарубежные интегральные микросхемы и их отечественные аналоги: Справочник / Н. А. Пучков. – М. : Машиностроение, 1993. – 192 с. (З-75)
16. Бирюков С. А. Цифровые устройства на интегральных микросхемах / С. А. Бирюков. – М. : Радио и связь, 1984. – 88 с. (Сх-5)
17. Бойченко Е. В. Методы схемотехнического проектирования распределённых информационно-вычислительных микропроцессорных систем / Е. В. Бойченко, В. Г. Домрачев и др.; под ред. В. Г. Домрачева. – М. : Энергоатомиздат, 1988. – 128 с. (Сх-4)
18. Гальперин М. В. Практическая схемотехника в промышленной автоматике / М. В. Гальперин. – М. : Энергоатомиздат, 1987. – 320 с. (Сх-3)
19. Парфенов О. Д. Технология микросхем / О. Д. Парфенов. – М. : Высшая школа, 1977. – 256 с. (Сх-8)
20. Схемотехника БИС постоянных запоминающих устройств / О. А. Петросян, И. Я. Козырь, Л. А. Коледов, Ю. А. Щетинин. – М. : Радио и связь, 1987. – 304 с. (Сх-9)
21. Фути К. Языки программирования и схемотехника СБИС / К. Фути, Н. Судзук; под ред. А. Б. Фролова. – М. : Мир, 1988. – 224 с. (Сх-7)
22. Хорвиц П. Искусство схемотехники: В 3-х томах / П. Хорвиц, У. Хилл. – М. : Мир, 1993. – Т. 2. – 371 с. (Сх-6)
23. Хорвиц П. Искусство схемотехники: В 2-х томах / П. Хорвиц, У. Хилл. – М. : Мир, 1986. – Т. 1. – 598 с. (Сх-10/1)
24. Хорвиц П. Искусство схемотехники: В 2-х томах / П. Хорвиц, У. Хилл. – М. : Мир, 1986. – Т. 2. – 590 с. (Сх-10/2)

### **Методические указания**

1. Разработка функциональных узлов ЭВМ : методические указания по курсовому проектированию по дисциплине «Схемотехника ЭВМ» для студентов всех форм обучения по направлениям «Информатика и вычислительная техника»: 654600 – подготовка дипломированных специалистов; 522800 – подготовка бакалавров / сост. И. Н. Бурдинский. – Хабаровск : Изд-во Тихо-океан. гос. ун-та, 2007. – 16 с.
2. Схемотехника ЭВМ : Методические указания по курсовому проектированию для студентов электронных специальностей / Сост. В. В. Агеев. – Хабаровск : Хабар. политехн.и-т, 1988. – 39 с. (50)
3. Представление чисел в ЭВМ : методические указания к изучению курса «Организация ЭВМ и систем» для студентов всех форм обучения по направлениям «Информатика и вычислительная техника»: 654600 – подготовка дипломированных специалистов; 522800 – подготовка бакалавров / сост. И. Н. Бурдинский. – Хабаровск : Изд-во Тихоокеан. гос. ун-та, 2006. – 69 с. (43)



## **Дистанционные средства контроля знаний студентов**

1. Программный комплекс для тестирования студентов / И. Н. Бурдинский – ФГУП «ВНТИЦ». Зарегистрировано в национальном информационном фонде неопубликованных документов, инвентарный номер ВНТИЦ №50200300548. – 2003.

## **11. Материально-техническое обеспечение дисциплины**

Отладочная плата фирмы Xilinx на базе FPGA Virtex-4 ML401/ML402/ML403, электронный осциллограф С2-81, генератор прямоугольных импульсов, программное обеспечение: Xilinx ISE, Modelsim.

## **12. Методические рекомендации по организации изучения дисциплины**

Курс рассматривает основы схемотехники ЭВМ, основные понятия, технологии, используемые на современном этапе науки и техники.

Рассмотрение ведется на основе изучения отладочной платформы ML401/ML402/ML403, ПЛИС типа FPGA семейства Virtex-4.

В качестве практического применения используется ПЛИС Virtex-4, являющиеся одной из наиболее широко применяемых в мире в настоящее время.

На лабораторных работах значительное внимание уделяется проектированию и отладке узлов и блоков ЭВМ.

На практических занятиях значительное внимание уделяется синтезу и моделированию работы узлов и блоков ЭВМ. На практических занятиях по всем темам рассматривается достаточное число примеров и задач индивидуально с использованием средств вычислительной техники.

Программа рассчитана на 204 часа.

Программа составлена в соответствии с государственными образовательными стандартами высшего профессионального образования по направлениям подготовки (специальностям) в области техники и технологии.

## **Организация самостоятельной работы**

Самостоятельная работа предполагает, что:

- 1) отдельные темы могут быть отнесены на самостоятельное изучение;
- 2) на практических занятиях задаются домашние задания, которые проверяют усвоение методов и приемов решения задач;
- 3) теоретическая подготовка к лабораторным работам с использованием методических указаний может осуществляться дома самостоятельно.

## Глоссарий

*2D* — структура ЗУ с однокоординатной выборкой слов путем возбуждения линии выборки от дешифратора адреса.

*2DM* — структура ЗУ (модификация структуры 2D), в которой слова выбираются поэтапно — вначале выбираются "длинные" слова с помощью дешифрации одной части адреса, а затем из них слова нужной разрядности с помощью дешифрации другой части адреса.

*3D* — структура ЗУ с двухкоординатной выборкой запоминающих элементов на пересечении двух линий выборки, возбуждаемых выходами двух дешифраторов адреса.

### А

**Автомат Мура** — автомат с памятью, выходные сигналы которого зависят только от состояния автомата.

**Адресация абсолютная** — адресация, при которой ячейке памяти или внешнему устройству соответствует один-единственный адрес.

**Адресация неабсолютная** — адресация, при которой ячейке памяти или внешнему устройству соответствует некоторая зона адресов.

**Адресное ЗУ** — ЗУ, в котором доступ к единицам хранения информации осуществляется по их адресу (местоположению в памяти).

**Адресное пространство** — диапазон адресов, к которым может обращаться процессор.

**Асинхронные установочные входы** — входы сброса и установки триггеров, действие которых не зависит от тактирования и доминирует над воздействиями других входов.

**Ассоциативное ЗУ (САМ, Content Addressable Memory)** — ЗУ, в котором доступ к единицам хранения информации осуществляется не по их адресу, а по специальному признаку (ключу).

### Б

**Базовый матричный кристалл (БМК)** — полузаказная БИС/СБИС, содержащая нескоммутированные схемные элементы, основа для создания требуемого устройства путем реализации межсоединений элементов методом масочного программирования металлизации.

**Бесканальный БМК** — базовый матричный кристалл, внутренняя область которого сплошь заполнена базовыми ячейками и не содержит свободных каналов, заранее отведенных для трассировки (этот тип БМК называют кристаллами типа "море вентиляй" или "море транзисторов").

**БМК блочной структуры** — базовый матричный кристалл, содержащий специализированные области (логической обработки, памяти, реализации отдельных операций и т. п.).

**Библиотека функциональных ячеек** — совокупность функциональных ячеек, используемых при проектировании на основе БМК, создается при его разработке.

**Быстрый страничный доступ** (FPM, Fast Page Mode) — ускоренный доступ к данным в динамических ЗУ, возможный при условии "кучности" их адресов, когда запрашиваемые данные принадлежат одной и той же странице (строке матрицы запоминающих элементов).

## **В**

**Вектор прерывания** — сведения о местоположении в памяти подпрограммы обслуживания данного прерывания, пересылаемые в процессор источником запроса прерывания или контроллером прерываний.

**Векторное прерывание** — прерывание, для обслуживания которого требуется передать в процессор вектор прерывания.

**Вентильная матрица** (ВМ) — синоним понятия БМК (см. выше).

**Вес кодовой комбинации** — число единиц в разрядах данной комбинации.

**Видеопамять** — ЗУ с последовательным циклическим доступом к словам и периодом цикла, соответствующим процессу сканирования монитора электронными лучами.

**Витая пара** — одна из распространенных конструкций линий передачи сигналов, представляющая собою два скрученных провода.

**Волновое сопротивление** — параметр линии передачи сигналов, трактуемой ПК "длинная линия".

**Время выдержки** (Hold Time) — (1) для триггера — интервал времени после поступления синхросигнала, в течение которого входные информационные сигналы должны оставаться неизменными; (2) — в более общем смысле для **двух** сигналов А и В это интервал времени между началом сигнала А и окончанием сигнала В (это время называют также временем удержания).

**Время предустановки** (Set-Up Time) — (1) для триггера — интервал времени до поступления синхросигнала, в течение которого входные информационные сигналы должны оставаться неизменными; (2) — в более общем смысле для **двух** сигналов А и В это интервал времени между началом сигнала А и началом сигнала В.

## **Д**

**Двоичный дешифратор** — устройство, преобразующее двоичный код в код "1 из N".

**Двоичный счетчик** — счетчик, модуль счета которого равен целой степени числа 2, а состояния кодируются двоичными числами.

**Двунаправленный вывод** — вывод, который в зависимости от программирования может быть использован как вход или выход микросхемы. **Двухпортовое ЗУ** — ЗУ, в котором возможны одновременное чтение по одному адресу и запись по другому.

**Демультимплексор** — устройство, передающее входную величину в один из нескольких выходных каналов в зависимости от адресующего входного кода.

**Динамическая реконфигурация (Run-Time Reconfiguration)** — быстрая смена настроек в схемах программируемой логики, ориентированных на использование в аппаратуре с многофункциональным использованием одних и тех же ИС.

**Длинная линия** — (1) линия, время распространения сигнала в которой соизмеримо с длительностью фронтов передаваемых импульсов, что требует согласования волновых сопротивлений в тракте передачи сигналов; (2) непрерывная линия межсоединений, проходящая по всей длине или ширине кристалла БИС/СБИС программируемой логики для быстрой передачи сигналов на большие расстояния.

**ДНФ** — дизъюнктивная нормальная форма представления логической функции, дизъюнкция конъюнктивных термов.

**ДОЗУ (DRAM)** — динамическое оперативное ЗУ, запоминающими элементами которого являются конденсаторы.

**Дребезг контактов** — последствия упругих свойств механических контактов, приводящие к появлению серий переключений вместо одного при однократном изменении положения контакта.

### **З**

**Зернистость (Granularity)** — характеристика логических блоков БИС/СБИС программируемой логики, связанная со степенью их сложности.

### **И**

**Информационная емкость ЗУ** — максимальный объем хранимой ЗУ информации.

**Интерфейс** — совокупность аппаратных и программных средств, унифицирующих процессы обмена между модулями системы.

**Интерфейс с общей шиной** — интерфейс, в котором адреса ячеек памяти и внешние устройства имеют общее адресное пространство.

**Интерфейс с раздельной шиной** — интерфейс, в котором для адресов внешних устройств имеется отдельное адресное пространство.

### **К**

**Канал трассировки** — свободная зона на кристалле БМК, выделенная для реализации межсоединений ячеек.

**Канальный БМК** — базовый матричный кристалл, в конструкции которого предусмотрены определенные каналы трассировки.

**Код** — совокупность кодовых комбинаций, используемых для представления информации. Этот же термин используется в качестве синонима понятия "кодовая комбинация" в тех случаях, когда это не может вызвать каких-либо недоразумений.

**Код "1 из N"** — код, в кодовых комбинациях которого один разряд активен, а все остальные пассивны. Кодирование этим способом в английской терминологии именуется ONE, One-Hot Encoding. Активным может считаться значение логической 1 или логического 0.

**Код Грея** — код, в котором соседние кодовые комбинации отличаются друг от друга только в одном разряде.

**Код Хемминга** — код, кодовые комбинации которого содержат несколько контрольных разрядов для проверки на четность/нечетность весов определенных групп разрядов. Обладает свойствами не только обнаружения, но и исправления ошибок единичной кратности.

**Кодовая комбинация** — набор из символов принятого алфавита.

**Командный цикл** — интервал времени, соответствующий выполнению одной команды программы.

**Комбинационная цепь** — схема, установившиеся значения выходных сигналов которой зависят только от текущих значений входных сигналов.

**Компаратор (цифровой)** — устройство, определяющее отношения между двумя словами.

**Конвейеризация** — способ повышения частоты тактирования в тракте обработки данных, для реализации которого комбинационные цепи тракта разбиваются на ступени.

**Контроллер ПДП** — контроллер прямого доступа к памяти, устройство, управляющее обменом данными между памятью и внешними устройствами без участия процессора.

**Контроль по четности/нечетности** — контроль с проверкой четности/нечетности веса кодовых комбинаций. Обладает свойством обнаружения ошибок единичной кратности.

**Контрольный разряд** — дополнительный разряд, вводимый в информационное слово для обеспечения четности/нечетности его веса или веса отдельных групп разрядов при контроле по модулю два или с помощью кода Хемминга.

**Конфигурируемый логический блок (Configurable Logic Block)** — логический блок микросхем программируемой логики, настраиваемый (программируемый) на воспроизведение требуемых функций.

**Коэффициент отражения** — отношение амплитуды отраженной волны к амплитуде падающей волны в концах длинной линии.

**Кратность ошибки** — число неверных разрядов в данной кодовой комбинации.

**Кратчайшая ДНФ** — дизъюнктивная нормальная форма представления переключательной функции, содержащая минимальное число конъюнктивных термов.

**Кэш-память** — особо быстродействующая память, хранящая копии информации, используемой в текущих операциях обмена с процессором.

**Кэш-память наборно-ассоциативного типа** — вариант кэш-памяти, промежуточный относительно вариантов с полной ассоциацией и прямым размещением.

**Кэш-память с полной ассоциацией** — ассоциативная кэш-память с произвольной загрузкой данных.

**Кэш-память с прямым размещением** — кэш-память, в которой одна или несколько страниц основной памяти строго соответствуют одной строке кэш-памяти.

**Кэш первого уровня (L1)** — внутрипроцессорная кэш-память, размещенная на одном кристалле с процессором.

**Кэш второго уровня (L2)** — кэш-память, расположенная вне кристалла, на котором размещен процессор. Емкость кэш-памяти второго уровня, как правило, превышает емкость кэш-памяти первого уровня.

## Л

**ЛИЗМОП** — МОП-транзистор с лавинной инжекцией заряда. Имеет "плавающий затвор", т. е. изолированную область над каналом, в которой можно создавать или не создавать электрический заряд, отображая тем самым логические состояния 1 и 0. Кроме того, может иметь или не иметь обычный управляющий затвор (варианты "с плавающим затвором" и "с двойным затвором").

**Литерал** — литерал логической переменной, т. е. либо сама переменная, либо ее инверсия.

## М

**Магистрально-модульная структура** — структура микропроцессорной системы, в которой к одним и тем же шинам подключаются различные модули.

**Мажоритарный элемент** — логический элемент с нечетным числом входов, выходная величина которого определяется тем, какие сигналы (0 или 1) составляют большинство среди входных сигналов.

**Маскирование запросов** — воздействие на сигналы запросов прерывания, прямого доступа к памяти и др., запрещающее обслуживание этих запросов.

**Масочное программирование** — запись данных в ПЗУ или задание межсоединений в БМК, осуществляемые при производстве кристаллов методами интегральной технологии (с помощью шаблонов металлизации).

**Матричная базовая ячейка** — базовая ячейка внутренней области БМК, предназначенная для реализации на ее основе функциональных ячеек.

**Машинный цикл** — интервал времени, составляющий часть командного цикла, соответствующий в основном обращению процессора к памяти или внешнему устройству и передаче байта (слова) в процессор или из него.

**Метастабильное состояние** — аномальное состояние триггера, в котором он длительное время находится вблизи равновесного состояния. Вызывается нарушением условий предустановки и выдержки информационных сигналов и относительно тактирующего или другими факторами, вводящими триггер в режим, близкий к равновесному (симметричному).

**Микроконтроллер** — однокристалльная микроЭВМ, ориентированная на выполнение относительно простых алгоритмов управления техническими объектами и технологическими процессами.

**Микропроцессор** — реализованное на одном или нескольких кристаллах программно-управляемое устройство, осуществляющее процесс обработки информации и управление им.

**Микропроцессорный комплект БИС** — набор микросхем, пригодных для совместного применения при построении микропроцессорной системы.

**Микропроцессорная система** — система, в которой реализован законченный процесс выполнения заданной программы, содержащая в качестве основных блоков (модулей) процессор, память, внешние устройства и интерфейсные схемы.

**Минимальное кодовое расстояние** — минимальное кодовое расстояние между двумя любыми кодовыми комбинациями, принадлежащими данному коду.

**Минимизация логических функций** — такое преобразование логических функций, которое упрощает их в смысле заданного критерия.

**МНОП** — транзистор со структурой "металл-нитрид-оксид-полупроводник", в котором при программировании можно создавать или устранять заряд на границе слоев "нитрид-оксид", отображая тем самым логические состояния (0 и 1).

**Модуль счета** — число состояний, которое может иметь счетчик, т. е. емкость счетчика.

**Мультиплексор** — схема, передающая на выход одну из нескольких входных величин под управлением адресующего кода.

## О

**Однофазная синхронизация** — система синхронизации, в которой на все элементы памяти (триггеры) подаются одни и те же тактирующие сигналы.

**Операция монтажной логики** — логическая операция, реализуемая путем соединения в одной точке выходов нескольких логических элементов с открытым коллектором или эмиттером.

**Организация ЗУ** — параметр ЗУ, выражаемый произведением максимально возможного числа хранимых слов на их разрядность.

**Основная память** — память, работающая в режиме оперативного обмена данными с процессором и, в отличие от кэш-памяти, хранящая весь объем требуемых для этого данных. В ЭВМ в качестве основной используется, как правило, память динамического типа.

**Открытый коллектор** — тип выходной цепи логических элементов, один из вариантов выходных цепей, допускающих подключение к магистрали. Может быть использован для реализации операций монтажной логики.

## П

**Параллельный периферийный адаптер (Parallel Peripheral Interface)** — устройство, обслуживающее обмен параллельными данными между процессором и внешними устройствами.

**Перекрестная помеха** — помеха, порождаемая взаимным влиянием близлежащих сигнальных линий.

**Периферийное сканирование** (Boundary Scan Testing) — тестирование БИС/СБИС по интерфейсу JTAG.

**Полиномиальный счетчик** — сдвигающий регистр с линейными обратными связями, т. е. связями, реализованными с помощью элементов сложения по модулю два. Используются в качестве генераторов псевдослучайных последовательностей.

**Полностью заказная БИС/СБИС** — микросхема, которая целиком проектируется по конкретному заказу и изготавливается с помощью индивидуального набора фотошаблонов для всех этапов процесса производства.

**Полузаказная БИС/СБИС** — микросхема, которая реализуется с использованием стандартного полуфабриката (БМК), требуемое функционирование которого обеспечивается индивидуальными операциями только на заключительных этапах процесса производства. Для изготовления такой микросхемы нужен существенно уменьшенный набор фотошаблонов (в сравнении с требованиями изготовления полностью заказных БИС/СБИС).

**Порождающая функция** — функция, реализуемая настраиваемым логическим модулем, когда все его входы используются как информационные, т. е. для подачи на них аргументов.

**Порт тестирования** (Test Access Port) — четыре (или пять) специально выделенных для тестирования по интерфейсу JTAG выводов БИС/СБИС.

**Приоритетный шифратор** — устройство, вырабатывающее двоичный номер старшего из имеющихся на входах запросов (прерывания, прямого доступа к памяти и др.).

**Программируемость в системе** (In System Programmable) — свойство БИС/СБИС программируемой логики конфигурироваться непосредственно в системе, т. е. без изъятия из схемы.

**Программируемая логическая матрица** (Programmable Logic Array) — микросхема для реализации системы переключательных функций, представленных в ДНФ и составляемых из единого набора конъюнктивных термов. Основа ПЛМ — последовательно включенные программируемые матрицы элементов И и ИЛИ.

**Программируемая матричная логика** (Programmable Array Logic) — микросхема для реализации системы переключательных функций, представленных в ДНФ, каждая из которых составляется из индивидуального набора относительно небольшого числа конъюнктивных термов. Основа ПМЛ — последовательное включение программируемой матрицы элементов И и фиксированной матрицы элементов ИЛИ.

**Программируемый интервальный таймер** (Programmable Interval Timer) микросхема, выполняющая в системе операции, связанные с временами, частотами и интервалами.

**Программируемый контроллер прерываний** (Programmable Interrupt Controller) — микросхема, обслуживающая векторные прерывания по запросам множе-



ства источников. Реализует разнообразные способы арбитража и маскирования запросов.

**Программируемый связной адаптер** (Programmable Communication Interface) — микросхема, обслуживающая обмен данными между процессором и внешним устройством, оперирующим последовательными данными. Выполняет преобразования параллельных данных в последовательные и наоборот и необходимые интерфейсные функции.

**Проектирование методом "стандартных ячеек"** — проектирование БИС/СБИС, изготавливаемых с помощью полного набора фотошаблонов, фрагменты которых могут заимствоваться из библиотеки готовых решений.

**Псевдослучайная последовательность** — детерминированная и, как правило, циклическая последовательность, состоящая из нулей и единиц, характеристики которой близки к характеристикам истинно случайной последовательности.

## **Р**

**Радиальное прерывание** — прерывание, местоположение подпрограммы обслуживания которого заранее известно и передача в процессор сведений о нем не требуется.

**Разделение термов** — применяемый в микросхемах программируемой логики типа ПМЛ прием, благодаря которому тракты выработки воспроизводимых функций могут заимствовать друг у друга термы, сформированные в матрице элементов **И**.

**Реверсивный счетчик** — счетчик, направление счета в котором может изменяться под воздействием управляющего сигнала.

**Регенерация данных** — необходимый для динамических ЗУ режим восстановления хранимых данных, периодическая реализация которого предотвращает потерю информации вследствие перезаряда запоминающих конденсаторов тока-ми утечки.

**Регистр** — типовой функциональный узел цифровых устройств, выполняющий операции приема, хранения и выдачи данных, причем прием и выдача могут осуществляться для параллельных и/или последовательных данных.

**Регистровый файл** — запоминающее устройство, реализованное на основе набора регистров.

**Резистор-терминатор** — резистор, имеющий сопротивление, равное волновому сопротивлению линии передачи сигнала, включаемый в ее конце для подавления отраженных волн.

**Репрограммируемое ПЗУ с ультрафиолетовым стиранием** (РПЗУ-УФ, EPROM, Electrically Programmable Read-Only Memory) — запоминающее устройство, в котором перед записью новой информации старая стирается с помощью облучения кристалла ультрафиолетовыми лучами на специальном стенде в течение довольно длительного времени.

**Репрограммируемое ПЗУ с электрическим стиранием** (РПЗУ-ЭС, EEPROM, Electrically Erasable Programmable Read-Only Memory) — запоминающее устройство, в котором перед записью новой информации старая стирается с

помощью электрических сигналов, что может быть осуществлено без изъятия ЗУ из схемы устройства.

**С**

**Самовосстановление после сбоя** — свойство автомата входить в рабочий цикл после попадания в "лишние" (неиспользуемые) состояния без воздействия специальных сигналов установок.

**Свертка по модулю** — сложение по модулю значений разрядов кодовой комбинации.

**Сегментированная система межсоединений** — система коммутации, свойственная главным образом схемам FPGA, в которой линии связей состояются из отдельных сегментов, т. е. проводящих участков, не содержащих программируемых ключей. Сами сегменты соединяются друг с другом программируемыми ключами.

**Семисегментный индикатор** — индикатор для визуального восприятия символов, в котором эти символы отображаются с помощью семи отрезков прямых (сегментов).

**Синдром ошибки** — слово, составленное из разрядов, значения которых определяются результатами проверок групп, входящих в кодовые комбинации кода Хемминга. Синдром указывает номер неверного разряда, подлежащего исправлению.

**Синхронизатор одиночных импульсов** — схема выработки по команде одиночного импульса, принадлежащего тактовой последовательности системы.

**Синхронный автомат** — автомат, элементы памяти которого принимают информацию только в определенные моменты времени, задаваемые синхросигналами.

**Системный интерфейс** — интерфейс межмодульного обмена в пределах микропроцессорной системы.

**Системный эквивалентный вентиль** — единица измерения сложности программируемых БИС/СБИС. Определение "системный" означает, что через число таких эквивалентных вентилях выражаются и сложности блоков, не относящихся к числу логических, прежде всего блоков памяти.

**Сквозной ток** — кратковременный импульс тока потребления микросхемы, характерный для элементов ТТЛ(Ш) и КМОП и возникающий при их переключении.

**Совершенная дизъюнктивная нормальная форма (СДНФ)** — форма представления переключательных (логических) функций, дизъюнкция конъюнкций одинаковой размерности, включающих литералы всех аргументов.

**Статическая помехоустойчивость** — устойчивость к воздействию помех, длительность которых не ограничивается. Определяется амплитудами таких помех, не нарушающих работу элемента.

**Статический риск** — кратковременные "ложные" сигналы, появляющиеся в переходных процессах на выходах схем в ситуациях, в которых согласно логическим

уравнениям выходные сигналы должны оставаться неизменными. Возникают как следствие задержек сигналов в цепях схемы.

**Статическое ОЗУ (SRAM)** — оперативное запоминающее устройство, основой запоминающего элемента которого является триггер. Отличается высоким быстродействием.

**Страничная организация памяти** — организация памяти, при которой адрес ячейки рассматривается как состоящий из двух частей, причем старшая часть указывает на страницу (субмодуль), а младшая является адресом слова на данной странице (в данном субмодуле).

**Схема ускоренного умножения** — в данном контексте схема, реализующая алгоритм умножения "сразу на два разряда".

**Счетчик** — автономный автомат, который под действием входных (тактирующих) сигналов переходит из одного состояния в другое, фиксируя по модулю в том или ином коде число поступивших на его вход сигналов, т. е. автомат с кольцевой диаграммой состояний.

**Счетчик асинхронный** — счетчик, разряды которого при переходе в новое состояние формируются не одновременно.

**Счетчик Джонсона** (счетчик Мебиуса, сдвигающий регистр с перекрестной обратной связью) — счетчик, работающий в коде Либау-Крейга.

**Счетчик синхронный** — счетчик, разряды которого при переходе в новое состояние переключаются одновременно под воздействием входного (тактирующего) сигнала.

## Т

**Табличный функциональный преобразователь (LUT, Look-Up Table)** — логический блок программируемых БИС/СБИС, реализованный на основе схем программируемой памяти.

**Тег** — дополнительные данные, сопровождающие хранимую в кэш-памяти единицу информации и определяющие, копией содержимого какой ячейки основной памяти является эта единица информации.

**Терм** — в данной книге под этим термином понимается конъюнктивный терм, т. е. логическое произведение переменных (их прямых или инверсных значений).

**Третье состояние** — состояние "отключено", в котором выход логического элемента практически отсоединяется от нагрузки. Элементы с тремя состояниями выхода (0, 1 и "отключено") могут подключаться к магистралям систем с магистрально-модульной структурой.

**Триггер** — элементарный автомат, содержащий элемент памяти с емкостью один бит и схему управления записью в этот элемент памяти.

**Триггер асинхронный** — триггер, воспринимающий воздействия информационных входных сигналов непосредственно в моменты их изменений.

**Триггер-защелка** — триггер типа D, имеющий режим "прозрачности" при одном уровне управляющего сигнала и режим хранения при другом.

**Триггер синхронный** — тактируемый триггер, воспринимающий воздействия информационных сигналов только при разрешении их приема специальным тактовым сигналом.

**Триггер, управляемый уровнем** — триггер, для которого сигналом разрешения приема информации является тот или иной уровень управляющего (тактирующего) сигнала. Такой триггер называют также синхронным триггером со статическим управлением.

**Триггер, управляемый фронтом** — триггер, для которого сигналом разрешения приема информации является перепад управляющего (тактирующего) сигнала. Такой триггер называют также синхронным триггером с динамическим управлением.

**Триггер D** — синхронный триггер с одним информационным входом, принимающий состояние, соответствующее входному сигналу, по разрешению тактирующего сигнала.

**Триггер JK** — триггер, имеющий информационные входы установки и сброса, а также режим счетного триггера.

**Триггер RS** — триггер, имеющий информационные входы установки и сброса.

**Турбо-бит** — бит, программированием которого в схемах выбирается один из двух режимов — более быстродействующий (при повышении потребляемой схемой мощности) или менее быстродействующий (более экономичный по потребляемой мощности).

## У

**Универсальный логический модуль** — устройство, воспроизводящее любую функцию заданного числа аргументов.

## Ф

**Фиксированный приоритет** — приоритет, присвоенный данному запросу (входу) и не изменяющийся в процессе работы системы.

**Флэш-память** — высококачественная репрограммируемая память на элементах типа EEPROM, в которой стирание данных производится электрическими сигналами для всего кристалла либо для отдельных блоков (симметричных или несимметричных).

**Функциональная ячейка** — типовое схемное решение, входящее в состав библиотеки БМК и реализуемое на основе одной или нескольких базовых ячеек кристалла.

**Функции возбуждения триггера** — функции, определяющие такие воздействия на триггеры автомата, которые переводят автомат из одного состояния в другое согласно требуемому графу переходов.

**Функция генерации** — вспомогательная функция, используемая при синтезе сумматоров и некоторых других устройств, в которых используются сигналы переноса. Принимает единичное значение для тех разрядов или групп разрядов, на вы-

ходах которых сигнал переноса возникает независимо от наличия или отсутствия входного переноса.

**Функция прозрачности** — вспомогательная функция, используемая при синтезе сумматоров и некоторых других устройств, в которых используются сигналы переноса. Принимает единичное значение для тех разрядов или групп разрядов, на выходах которых сигнал переноса возникает только при наличии входного переноса.

## Ц

**Цикл ЗУ** — минимальный интервал времени между соседними однотипными обращениями к ЗУ. Соответственно типу обращения различают циклы чтения, записи и др.

**Циклический (круговой) приоритет** — порядок обслуживания запросов (прерывания, прямого доступа к памяти и др.), для которого источники запросов равноправны. Равноправность источников запросов достигается тем, что их приоритеты изменяются при работе системы — после обслуживания источник получает низший приоритет, который постепенно повышается по мере обслуживания других источников запросов.

## Э

**Эквивалентный вентиль** — группа схемных элементов, соответствующая возможности реализации на ней функции вентиля (чаще всего 2И-НЕ, 2ИЛИ-НЕ). Понятие "Эквивалентный вентиль" используется при оценке сложности (уровня интеграции) БМК и БИС/СБИС программируемой логики.

**Энергонезависимость** — свойство запоминающего устройства сохранять информацию при отключении питающих напряжений.

## Я

**Ячейки периферийного сканирования (Boundary Scan Cells)** — дополнительные схемы в составе БИС/СБИС, обеспечивающие реализуемость их тестирования по интерфейсу JTAG.

## Словарь терминов

**AHDL** — язык описания аппаратуры фирмы Altera.

**ASICs** — **Application Specific Integrated Circuits** — специализированные ИС, изготавливаемые тем или иным способом по индивидуальному техническому заданию (для конкретного проекта).

**BEDORAM** — **Burst Extended Data Out RAM** — вариант динамических ОЗУ, близкий к EDORAM и отличающийся от него пакетным доступом к данным, позволяющим сократить цикл обращения внутри пакета.

**BSCs** — **Boundary Scan Cells** — см. Ячейки периферийного сканирования.

**BST** — **Boundary Scan Testing** — см. Периферийное сканирование.

**CDRAM** — **Cached DRAM** — динамическое ОЗУ повышенного быстродействия, достигаемого путем кэширования.

**Clock Boost** — умножение частоты тактовых импульсов, одна из функций, выполняемых блоками PLL.

**Clock Lock** — коррекция временного положения тактовых импульсов, одна из функций, выполняемых блоками PLL.

**Clock Skew** — временной сдвиг тактового импульса относительно заданного положения, вызванный паразитными задержками в цепях тактирования.

**CPLD** — **Complex PLD** — БИС/СБИС программируемой логики, структура которой представляет собою совокупность блоков типа PAL или GAL, объединенных матрицей программируемых соединений. Программируется пользователем.

**DRDRAM** — **Direct RDRAM** — вариант динамического ОЗУ высокого быстродействия типа RDRAM, в котором сокращено характерное для RDRAM запаздывание при доступе к первому слову пакета данных (латентность).

**EDIF** — **Electronic Design Interchange Format** — формат обмена проектов при разработке электронных схем. Список цепей в этом стандарте может быть получен из описаний проекта на языках VHDL или Verilog HDL с помощью стандартных программ. Файлы в формате EDIF могут формироваться пакетами программных средств ряда САПР для целей моделирования с помощью стандартного пакета моделирования EDIF.

**EDORAM** — **Extended Data Out RAM** — вариант динамического ОЗУ повышенного быстродействия, представляющий собою развитие структуры типа FPM, состоящее в фиксации строки данных в статическом регистре с целью ускорения считывания данных, принадлежащих этой строке.

**FIFO** \_ **First-In** — **First-Out** — ЗУ с последовательным доступом к данным типа "очередь" (по правилу "первый вошел — первый вышел").

**FPGA** — **Field Programmable Gate Array** — БИС/СБИС программируемой логики, структура которой представляет собой матрицу программируемых логических блоков, между строками и столбцами которой реализованы программируемые соединения. Программируется пользователем.

**FPM** — **Fast Page Mode** — см. Быстрый страничный доступ.

**HDL** — **Hardware Description Language** — язык описания аппаратуры.

**Hit** — сигнал "попадание" в схемах кэш-памяти, свидетельствующий о наличии запрашиваемой единицы информации в этой памяти.

**ISP** — **In-System Programmable** — см. Программируемость в системе.

**JEDEC** — **Joint Electronic Device Engineering Council** — объединенный инженерный совет по электронным устройствам, в области программируемой логики обозначает текстовый файл, содержащий информацию о программировании схемы в стандартной форме JEDEC.

**JTAG** — **Joint Test Action Group** — объединенная группа по вопросам тестирования, по имени которой названы методы тестирования БИС/СБИС без физического доступа к каждому их выводу и программирования микросхем программируемой логики с помощью JTAG-интерфейса.

**LIFO** — **Last-In — First-Out** — ЗУ с последовательным доступом к данным стекового типа (по правилу "последний вошел — первый вышел").

**LUT** — **Look Up Table** — см. Табличный функциональный преобразователь.

**MAX + PLUS II** —• пакет программных средств для проектирования БИС/СБИС программируемой логики фирмы Altera.

**MDRAM** — **Multibank DRAM** — многобанковая динамическая память, вариант повышения быстродействия ЗУ с помощью разбиения памяти на части (банки), что при кучности адресов последовательных обращений к памяти позволяет обращаться к банкам поочередно. Поочередное обращение к разным банкам позволяет повысить частоту обращений к памяти, т. к. для каждого из банков частота обращений окажется пониженной, и банки получают дополнительное время для подготовки к очередному циклу обращений к ним.

**OTP** — **One-Time Programmable** — "однократно программируемая", определение относится к микросхемам памяти типа РПЗУ-УФ, корпус которых для удешевления не имеет прозрачного окна для стирания данных путем воздействия на кристалл ультрафиолетовым облучением. В таких ЗУ можно произвести лишь однократное программирование путем необратимого заряда плавающих затворов запоминающих транзисторов.

**PAL** — **Programmable Array Logic** — см. Программируемая матричная логика.

**PLA** — **Programmable Logic Array** — см. Программируемая логическая матрица.

**PLD** — **Programmable Logic Device** — общее наименование для схем PAL и PLA.

**PLL** — **Phase Locked Loop** — схема следящей системы с чувствительным элементом, реагирующим на разность фаз импульсных последовательностей, используемая для управления временными параметрами синхросигналов цифровых устройств.

**PREP** — **Programmable Electronics Performance Corporation** — консорциум компаний, предложивший набор эталонных схем и методику оценки сложности БИС/СБИС программируемой логики.

**RDRAM** — **Rambus DRAM** — динамическое ОЗУ высокого быстродействия, разработанное фирмой Rambus и отличающееся высоким темпом передачи данных внутри пакета при относительно больших значениях времени доступа к первому слову пакета.

**SDRAM — Synchronous DRAM** — синхронное ОЗУ динамического типа высокого быстродействия, в котором высокий темп передачи данных обеспечивается конвейерной организацией тракта передачи, тактируемого от синхросигналов, общих для процессора и памяти. Широко применяется в современных компьютерах.

**SOC — System On Chip** — БИС/СБИС программируемой логики высшего уровня сложности, на которой можно реализовать целую систему, т. е. совокупность разных модулей, образующих целостную систему обработки информации.

**SOI — Silicon On Insulator** — технология интегральных схем, обеспечивающая минимальность паразитных параметров схемы, что, в конечном счете, приводит к улучшению ее технических характеристик.

**StrataFlash** — запоминающее устройство типа Флэш с запоминанием двух битов в одном запоминающем элементе с помощью многоуровневого заряда плавающих затворов ЛИЗМОП транзисторов.

**TAP — Test Access Port** — см. Порт тестирования.

**UART — Universal Asynchronous Receiver — Transmitter** — программируемый связной адаптер, реализующий асинхронные протоколы передачи последовательных данных.

**Verilog HDL** — язык описания аппаратуры фирмы Cadence. Наряду с языком VHDL относится к самым популярным языкам описания аппаратуры высокого уровня.

**VHDL — Very-High-Speed Hardware Description Language** — язык описания аппаратуры, стандарт IEEE, по-видимому, наиболее популярный язык описания аппаратуры высокого уровня.

**ХАСТ** — пакет программных средств для проектирования БИС/СБИС программируемой логики фирмы Xilinx.